

Normas Europeas de Modelismo  
**Sistema de control digital DCC**  
Paquetes de datos básicos

**NEM**  
**671**  
Página 1 de 5

Norma imperativa

**Edición 2014**  
(sustituye la edición de 2007)

- Observación 1:** El contenido de la NEM 671 es conforme al estándar NMRA S 9.2 (Edición Julio 2004). Esta versión es la referencia para las comprobaciones de conformidad.  
*NEM 671 follows the NMRA-Standard S 9.2. This version is the basis for conformance tests.*
- Observación 2:** Esta norma no asegura una compatibilidad descendente con los antiguos descodificadores de 14 pasos de velocidad y una función adicional, así como los antiguos descodificadores en los que el reloj interno no sería compatible con el factor de forma de señal que se define aquí.
- Observación 3:** Las especificaciones técnicas y las bases para la comprobación de conformidad se puede extraer de las siguientes normas de RailCommunity ([www.railcommunity.org](http://www.railcommunity.org)):
- |             |  |
|-------------|--|
| RCN-210 DCC | Transmisión del bit  |
| RCN-211 DCC | Estructura de un paquete, y estructura básica para todos los paquetes y campos de direccionamiento.                              |
| RCN-212 DCC | Control de la explotación de los descodificadores dentro de los vehículos, y controles de los descodificadores de los vehículos. |
| RCN-213 DCC | Controles para la explotación de los descodificadores de accesorios.   |
| RCN-214 DCC | Control de configuración.  |

## 1. Objetivo de la norma

Esta norma describe los paquetes de datos elementales (paquetes de datos básicos) que tienen que ser emitidos por una central DCC.

## 2. Definiciones

- Un paquete de datos DCC es una sucesión definida de bits que se especifican como señal de vía en la NEM 670.
- Un paquete de datos DCC básico se compone de un número mínimo de bits y grupos de bits, llamados resumidamente paquete de datos.
- Un grupo de bits está compuesto por 8 bits y se denomina octeto. Cada bit de un octeto tiene un valor que se determina en función de su posición en el grupo, el primer bit a partir de la izquierda al valor más grande, se llama MSB (most significant bit). Los bits de un octeto se enumeran de izquierda a derecha de 7 a 0. El bit de más a la derecha se llama LSB (least significant bit).
- Los siguientes caracteres se utilizan para indicar el valor de un bit:
  - 0** Valor 0
  - 1** Valor 1
  - A** Bit de dirección
  - D** Bit de datos (que no es significativo)
  - P** Bit de control – los ocho bits del último octeto de un paquete
  - x** Bit el valor del cual depende del tipo de paquete o de la central y que no puede ser indicado de forma más precisa.

## 3. Formato general de un paquete de datos DCC

La siguiente descripción de los elementos de un paquete de datos en bits y octetos define un paquete de datos válido y sirve para activar los descodificadores.<sup>1)</sup>

Las secuencias 4 y 5 descritas más abajo pueden repetirse muchas veces, pero cada vez conjuntamente.

<sup>1)</sup> Se autorizan los descodificadores que reconozcan otros formatos además del estándar DCC (ver §6.)

Los paquetes de datos DCC básicos se componen de las siguientes secuencias:

**1 - Bits de Sincronización:**

El reconocimiento de un paquete de datos DCC y la sincronización sobre el límite de los octetos se efectúa mediante la emisión de una serie de bits 1.  
 Una central tiene que emitir como mínimo 16 bits de sincronización.  
 Un decodificador debe poder recibir un paquete con al menos 12 bits de sincronización.  
 Un decodificador ha de declarar no válido un paquete de datos que contiene menos de 10 bits de sincronización.

**2 - Bit Start:**

El Bit Start es un bit « 0 » que sigue a la secuencia de sincronización. El Bit Start termina la secuencia de sincronización e indica al decodificador que los bits siguientes pertenecen al primer octeto de un paquete.

**3 - Primer octeto:**

El primer octeto del paquete de datos es, en modo de explotación, un octeto de dirección y, en modo de programación, un octeto de control.

**4 - Bit Start del octeto de datos:**

Este bit « 0 » precede al octeto de datos que le sigue.

**5 - Octeto de datos:**

Los 8 bits que forman el octeto de datos se utilizan como direcciones, instrucciones (órdenes de ejecución), datos o como octeto de control para la detección de errores de transmisión. El último octeto de un paquete es siempre un octeto de control.

**6 - Bit Stop:**

El bit stop es un bit « 1 » que señala la finalización de la transmisión del paquete.  
 Si el paquete sigue inmediatamente, este bit de parada puede ser contado como si fuera parte de los bits de sincronización del paquete siguiente.  
 Si al paquete le sigue un paquete de otro formato o de una interrupción, la secuencia de datos DCC debe seguir durante al menos 26 µs, es decir que no debe producirse durante este tiempo ni cambio de polaridad ni interrupción de alimentación.

El octeto de control se genera efectuando un «O exclusivo (XOR)» bit a bit de todos los octetos que le preceden. Es posible verificarlo efectuando el XOR de todos los octetos, comprendido el octeto de control: el resultado debe entonces ser cero. Los decodificadores tienen que efectuar este control e ignorar un paquete reconocido como erróneo.

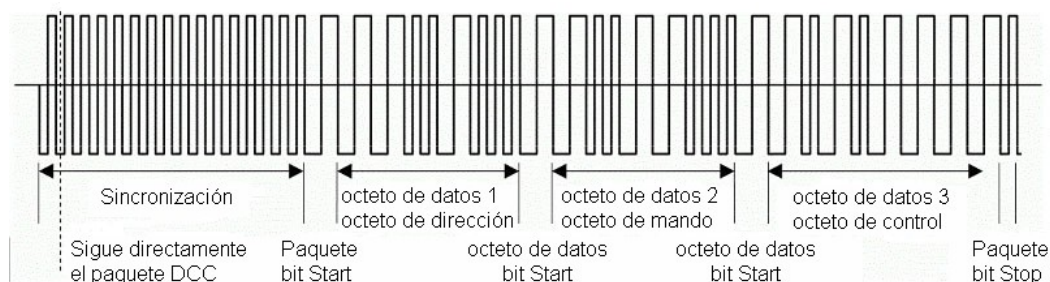
Un paquete DCC contiene como mínimo tres octetos. De esta manera se obtiene, para un paquete de tres octetos, el, la secuencia de bits:

**11111111111111 0 xxxxxxxx 0 xxxxxxxx 0 P P P P P P P P 1**  
 Bits de sincronización e inicio      Octeto 1      Octeto 2      Octeto 3 = Octeto de control y bit de final de paquete

En el ejemplo de un orden básico relativo a la velocidad (nivel 11) y el sentido de marcha hacia adelante para la dirección (codificada sobre 7 bits) 55, la secuencia de bits sería:

**11111111111111 0 00110111 0 01100111 0 01010000 1**

**Figura 1:** Ejemplo de un paquete básico de datos DCC compuesto por 3 octetos (1 octeto de dirección, 1 octeto de mando, 1 octeto de control), con el código de dirección 55 para el sentido de marcha "adelante" graduado a 14. Los 16 bits de sincronización mínima que se tiene que emitir se representan igualmente.



La secuencia de bits para un paquete que contiene seis octetos es:

**{bits de sincro} 0 xxxxxxxx 0 xxxxxxxx 0 xxxxxxxx 0 xxxxxxxx 0 xxxxxxxx 0 P P P P P P P P 1**

#### 4. Formato de paquetes de datos DCC básicos

Este estándar define la interoperatividad mínima entre los diferentes sistemas DCC. Una central tiene que codificar los comandos del usuario en forma de paquetes de datos básicos y un descodificador tiene que interpretar correctamente estos paquetes de datos para proporcionar así comandos eléctricos apropiados al material motor conectado. Los paquetes de datos más complejos que soportan diferentes tipos de descodificadores, funciones adicionales, direccionamiento extendido o pasos de velocidad más numerosos no están descritos en esta norma.

##### 4.1 Paquetes de datos DCC básicos para la regulación de velocidad y sentido de marcha de las locomotoras.

Formato del paquete de datos DCC básico:

**1111111111111111 0 0AAAAAAA 0 01DCSSSS 0 EEEEEEEE 1**

Sincronización	Octeto de datos 1	Octeto de datos 2	Octeto de datos 3
----------------	----------------------	----------------------	----------------------

Octeto de datos 1 – Octeto de dirección: El octeto de dirección transmite la dirección del receptor previsto para recibir los datos.

El primer octeto del paquete del formato DCC comprende en este modo de explotación de dirección primaria. Para permitir la explotación de diversos tipos de descodificadores, esta dirección primaria está subdividida en bloques fijos de la siguiente manera.

- Dirección 0000-0000 (0):  
Dirección de difusión general de las informaciones a todos los descodificadores de los vehículos
  - Direcciones de 0000-0001 a 0111-1111 incluida (1 a 127):  
Descodificador para vehículo con dirección de 7 bits 0AAA-AAAA
  - Direcciones de 1000-0000 a 1011-1111 incluida (128-191):  
Descodificador para accesorios con dirección simple sobre 11 bits 10AA-AAAA 1AAA-DAAAR i  
Descodificador para accesorios con dirección extendida a 11 bits 10AA-AAAA 0AAA-0AA1
  - Direcciones de 1100-0000 a 1110-0111 incluida (192 a 231):  
Descodificador para vehículo con dirección de 14 bits 11AA-AAAA AAAA-AAAA
- Direcciones de 1110-1000 a 1111-1110 incluida (232-254):  
Reservadas para utilizaciones futuras
- Dirección 1111-1111 (255):  
Dirección neutra o también paquete de vigilia.

Octeto de datos 2 – Octeto de comando: El octeto de comando encamina las informaciones de velocidad y sentido de marcha a la locomotora seleccionada.

Los bits 7 y 6 contienen la secuencia 01 que senyala el octeto de datos como si fuera un octeto de comando.<sup>2)</sup>

El bit 5 (D) define el sentido de marcha, si el valor es « 1 » la locomotora avanza<sup>3)</sup>, si el valor es « 0 » la locomotora retrocede.

El bit 4 (C) tiene una función especial y es, generalmente, el bit menos significativo (LSB) para la definición del control de velocidad.

Los bits 3 – 0 (SSSS) definen con el bit 4, la velocidad de marcha en código binario. La tabla 1 describe la relación entre el código binario y la graduación.

Octeto de datos 3 – Octeto de control: El octeto de control permite al descodificador descubrir los errores de transmisión.

<sup>2)</sup> Las otras configuraciones posibles de los bits 6 y 7 están reservadas para otros tipos de comando.

<sup>3)</sup> Marcha adelante, significa que la locomotora se desplaza con la cabina de conducción 1 hacia adelante.

**Tabla 1:** Relación entre la codificación de los bits S 3-0, C y la graduación<sup>4)</sup>

S <sub>3</sub> S <sub>2</sub> S <sub>1</sub> S <sub>0</sub> C	graduación	S <sub>3</sub> S <sub>2</sub> S <sub>1</sub> S <sub>0</sub> C	graduación	S <sub>3</sub> S <sub>2</sub> S <sub>1</sub> S <sub>0</sub> C	graduación	S <sub>3</sub> S <sub>2</sub> S <sub>1</sub> S <sub>0</sub> C	graduación
0 0 0 0 0	Stop	0 1 0 0 0	5	1 0 0 0 0	13	1 1 0 0 0	21
0 0 0 0 1	Stop**	0 1 0 0 1	6	1 0 0 0 1	14	1 1 0 0 1	22
0 0 0 1 0	EStop*	0 1 0 1 0	7	1 0 0 1 0	15	1 1 0 1 0	23
0 0 0 1 1	EStop**	0 1 0 1 1	8	1 0 0 1 1	16	1 1 0 1 1	24
0 0 1 0 0	1	0 1 1 0 0	9	1 0 1 0 0	17	1 1 1 0 0	25
0 0 1 0 1	2	0 1 1 0 1	10	1 0 1 0 1	18	1 1 1 0 1	26
0 0 1 1 0	3	0 1 1 1 0	11	1 0 1 1 0	19	1 1 1 1 0	27
0 0 1 1 1	4	0 1 1 1 1	12	1 0 1 1 1	20	1 1 1 1 1	28

\* Parada de emergencia (emergency stop), el descodificador tiene que parar la locomotora ¡lo antes posible!

\*\* El bit de dirección (bit 5) puede ser ignorado para las funciones dependientes de la dirección (opcional).

#### 4.2 Paquete de datos DCC básicos para la puesta a cero general de los descodificadores

Formato de datos DCC básicos:

<b>1111111111111111</b>	<b>0</b>	<b>00000000</b>	<b>0</b>	<b>00000000</b>	<b>0</b>	<b>00000000</b>	<b>1</b>
Sincronización		Octeto de datos1		Octeto de datos 2		Octeto de datos 3	(octeto de control)

El paquete de datos DCC para la puesta a cero general de los descodificadores está constituida por tres octetos en los que todos los bits están a cero. Cuando un descodificador recibe este paquete de datos, tiene que borrar todas sus memorias no permanentes (datos de velocidad i sentido de marcha comprendidos) y pasar a su estado normal de puesta bajo tensión. Si la locomotora está en movimiento, el descodificador tendrán que aplicar una parada de emergencia.

En los 20 mili-segundos que siguen a un paquete de puesta a cero general, una central de mando no tiene que enviar un paquete de datos con una dirección comprendida entre 01100100 (dirección 100) y 01111111 (dirección 127) ambas incluidas, excepto si quiere pasar al modo « Service », (servicio).<sup>5)</sup>

#### 4.3 Paquete de datos DCC básico vacío

Formato de datos DCC básicos:

<b>1111111111111111</b>	<b>0</b>	<b>11111111</b>	<b>0</b>	<b>00000000</b>	<b>0</b>	<b>11111111</b>	<b>1</b>
Sincronización		Octeto de datos1		Octeto de datos 2		Octeto de datos 3	(octeto de control)

El paquete de datos en el cual el primer y tercer octeto contiene ocho bits « 1 » y el segundo contiene ocho bits « 0 » es un paquete de datos vacío.

Los descodificadores que reciben este paquete de datos no tienen que iniciar nuevas acciones y se tienen que comportar como si hubieran recibido un paquete de datos dirigido a otro descodificador.

#### 4.4 Paquete de datos DCC básico – señal de parada general

Formato de datos DCC básicos:

<b>1111111111111111</b>	<b>0</b>	<b>00000000</b>	<b>0</b>	<b>01DC000S</b>	<b>0</b>	<b>PPPPPPPP</b>	<b>1</b>
Sincronización		Octeto de datos1		Octeto de datos 2		Octeto de datos 3	(octeto de control)

El paquete de datos que en el primer octeto contiene 8 bits « 0 », en el segundo octeto contiene un orden de parada específica y entonces en el tercer octeto contiene un octeto de control idéntico al octeto 2, es el paquete de datos «señal de parada general» "(velocidad = 0)".

4) El paso de velocidad se deduce del valor binario sustrayendole 3.

5) La configuración de un descodificador puede ser modificada inmediatamente después del mensaje de paso a cero.

Cuando el bit 0 del octeto de datos 2 (bit S) contiene un « 0 », los descodificadores que controlan una locomotora tienen que comenzar el procedimiento de parada de esta (ralentización después de la parada de la función con la inercia programada en el descodificador).

Si el bit S es un « 1 », los descodificadores tienen que parar inmediatamente las locomotoras parando la corriente del motor.

## 5. Repetición de los paquetes de datos DCC básicos

### 5.1 Espaciado de paquetes de datos

Los paquetes de datos emitidos hacia los descodificadores se tienen que repetir tan rápido como sea posible, ya que se puede perder un paquete por culpa de perturbaciones debidas a la mala conductividad eléctrica entre los carriles y las ruedas o los pantógrafos. La transmisión de la señal de vía se puede interrumpir entre el final del paquete y los bits de sincronización del siguiente paquete con la finalidad de permitir la emisión de otro tipo de señal de control (bidireccional). Un descodificador tiene que reaccionar a los paquetes de datos que se le envíen cuando el intervalo entre el último bit del primer paquete y el primer bit del segundo paquete es como mínimo de 5 mili-segundos.<sup>6)</sup>

Si un descodificador recibe una secuencia de bits con un «bit start» que falta o que no es válido o un «bit stop» que falta o no es válido o un «octeto de control» no conforme, tiene que reconocer la «secuencia de sincronización» válida siguiente como el inicio de un nuevo paquete.

Sólo se puede transmitir a la vía otro tipo de señal de mando si está entre el bit de parada de un paquete y el inicio de la secuencia de sincronización del paquete siguiente.

Intervalo mínimo entre dos paquetes de datos:  $t_D > 5 \text{ ms}$  intervalo de tiempo

### 5.2 Frecuencia de emisión de paquetes de datos

Tiene que ser posible configurar una central de control DCC con la finalidad que emita un paquete de datos al menos cada 30 mili-segundos, medidos entre los bits de Inicio (Start) de los paquetes.

Tiempo de repetición entre los paquetes de datos DCC:  $t_R \leq 30 \text{ ms}$ . tiempo de repetición t

## 6. Comportamiento de los descodificadores en la conversión automática de diferentes estándares.

Se pide a los fabricantes que propongan descodificadores capaces de una conversión automática entre diferentes tipos de formatos de control, que esta capacidad pueda ser inhibida de tal manera que los descodificadores respondan exclusivamente las señales de mando DCC.

Cuando la función « conversión automática » está activada, los descodificadores tienen que quedar en modo DCC mientras que el intervalo de tiempo entre los bits de inicio « start » de los dos paquetes consecutivos sea igual o inferior a 30 mili-segundos. Si la función « conversión automática » está desactivada, los descodificadores tiene que quedarse en modo DCC, sea cual sea el intervalo de tiempo entre los bits de inicio « start » de los dos paquetes consecutivos.<sup>7)</sup>

Tiempo de espera antes del paso de un descodificador digital a un modo no DCC:  
 $t_W \geq 30 \text{ ms}$  tiempo de latencia

<sup>6)</sup> Se tiene que tomar todas las precauciones para no emitir dos paquetes de datos espaciados en menos de 5 mili-segundos a una misma dirección comprendida entre 112 (binario 0111 10000) y (011 11111). Los descodificadores más viejos podrían interpretar paquetes de datos en modo de servicio.

<sup>7)</sup> Ciertos descodificadores DCC más viejos tienen que recibir un paquete de datos DCC válido al menos en 30 mili-segundos para impedir la conmutación a modo analógico. Un paso de repetición más largo de 30 mili-segundos puede llevar a una degradación de las características de los descodificadores.